



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05150748 A**

(43) Date of publication of application: **18.06.93**

(51) Int. Cl.

G09G 3/36
G02F 1/133
G02F 1/136
H01L 21/336
H01L 29/784

(21) Application number: **03316678**

(22) Date of filing: 29.11.91

(71) Applicant: **FUJITSU LTD**

(72) Inventor: ITO TAKAHIDE
FUKUHARA MOTOHIKO
YAMADA FUMIAKI
SUKENORI HIDETOMO

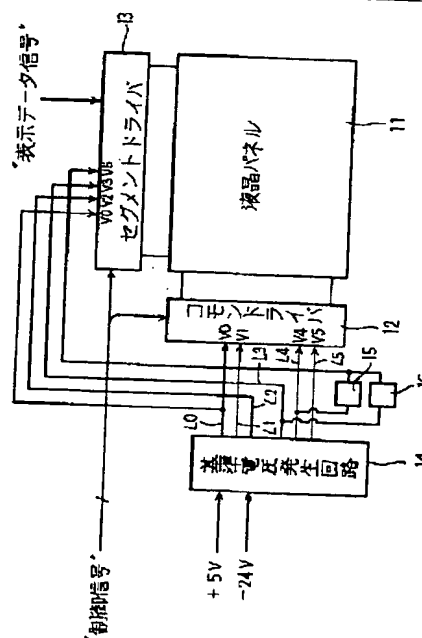
**(54) LIQUID CRYSTAL DISPLAY DEVICE AND
REFERENCE VOLTAGE SUPPLY CIRCUIT FOR
ITS DRIVING CIRCUIT**

(57) Abstract:

PURPOSE: To prevent the driving circuit from entering a latch-up state.

CONSTITUTION: The liquid crystal display device which has a liquid crystal panel 11 consisting of a liquid crystal element, liquid crystal driving circuits 12 and 13 which consist of CMOS transistors (TR) and drive the liquid crystal element, and reference voltage supply lines L0-L5 which supply a reference voltage consisting of plural voltages to the liquid crystal driving circuits 12 and 13 are equipped with at least one of voltage inversion preventing circuits 15 and 16 which prevent the level order inversion of the reference voltage between the reference voltage supply lines L0-L5.

COPYRIGHT: (C)1993,JPO&Japio



(11)特許出願公開番号

特開平5-150748

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G O 9 G 3/36

G 0 2 F 1/133

520

7926-5 G

7820-2K

9018-2K

H O 1 L 21/336

8225-4M

H O I L 29/ 78

3 0 1 P

審査請求 未請求 請求項の数 4 (全 11 頁) 最終頁に続く

(21)出願番号

特願平3-316678

(22)出題日

平成3年(1991)11月29日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 伊藤 高英

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 福原 元彦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 山田 文明

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

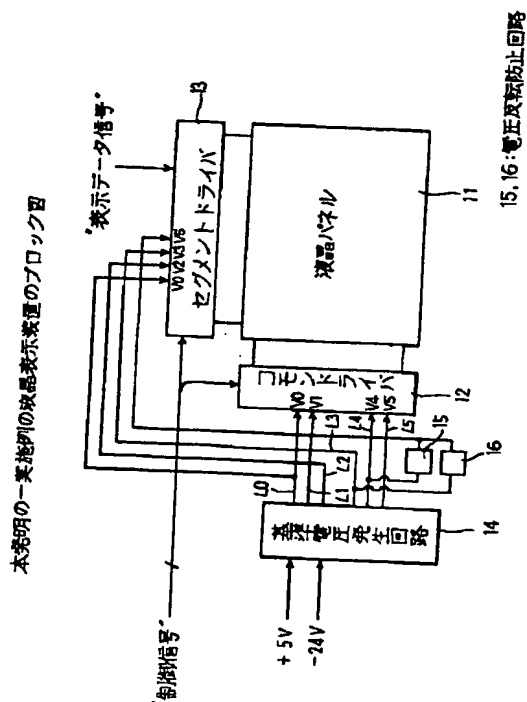
[最終頁に続く](#)

(54)【発明の名称】 液晶表示装置及びその駆動回路のための基準電圧供給回路

(57) 【要約】

【目的】液晶表示装置に関し、駆動回路におけるラッチアップの防止を目的とする。

【構成】液晶素子から成る液晶表示パネルと、CMOSトランジスタから構成され前記液晶素子を駆動する液晶駆動回路と、該液晶駆動回路に対し複数の電圧から成る基準電圧を夫々供給する基準電圧供給ラインとを有する液晶表示装置において、基準電圧供給ライン相互間に基準電圧の大きさの順序が反転することを防止する少なくとも一つの電圧反転防止回路を備えるように構成する。



【特許請求の範囲】

【請求項1】液晶素子から成る液晶表示パネル（11）と、CMOSトランジスタから構成され前記液晶素子を駆動する液晶駆動回路（12、13）と、該液晶駆動回路（12、13）に対し複数の電圧から成る基準電圧を夫々供給する基準電圧供給ライン（L0～L5）とを有する液晶表示装置において、前記基準電圧供給ライン（L3、L4、L5）相互間に前記基準電圧の大ききの順序が反転することを防止する少なくとも一つの電圧反転防止回路（15、16）を備えたことを特徴とする液晶表示装置。

【請求項2】前記基準電圧反転防止回路が、ショットキーダイオード（D1、D2）によって構成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】前記液晶表示パネル（11）がマトリックス電極構成を有することを特徴とする請求項1又は2記載の液晶表示装置。

【請求項4】CMOSトランジスタから構成され液晶表示装置の液晶素子を駆動する液晶駆動回路に対し、複数の電圧から成る基準電圧を基準電圧供給ライン（L_A、L_B）を介して供給する基準電圧供給回路において、前記基準電圧供給ライン（L_A、L_B）相互間に、前記基準電圧の大ききの順序が反転することを防止する少なくとも一つの電圧反転防止回路（2）を備えたことを特徴とする基準電圧供給回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置及びその駆動回路のための基準電圧供給回路に関し、更に詳しくは、マルチプレックス駆動方式で駆動される液晶表示装置及びその液晶駆動回路のための複数の電圧値から成る基準電圧を供給する基準電圧供給回路に関する。

【0002】液晶表示装置のマルチプレックス駆動方式は、桁数の多い数字表示のように比較的多数のセグメント電極が配される液晶表示パネル、或いはキャラクタ表示等でマトリックス電極構成が採用される液晶表示パネルの場合に行なわれる駆動方式であり、時分割駆動方式ともいわれている。マルチプレックス駆動方式では、電圧に対する液晶素子の応答が両極性であること及びその電気光学応答特性が緩慢であることから、クロストーク現象が生ずることが知られている。

【0003】マルチプレックス駆動方式では、上記クロストーク現象を除くために電圧平均化法が用いられ、この場合、表示画素群と非表示画素群の各液晶素子に印加される交流の実効値電圧 V_S 、 V_{US} 相互を夫々の画素群中で等しくし、また、表示コントラストを最大にするために、液晶素子の動作しきい値電圧に合わせて夫々特定の実効値電圧 V_S 、 V_{US} が採用される。

【0004】

【従来の技術】図4は、従来の液晶表示装置の全体構成

を示すもので、マルチプレックス駆動方式で駆動される一般的なマトリックス電極構成の液晶表示装置を示すブロック図である。同図において、液晶表示パネル11は、液晶駆動回路を成すコモンドライバ12及びセグメントドライバ13によってマルチプレックス駆動され、コモンドライバ12によって選択された走査行電極と、セグメントドライバ13を介して表示のためのデータ信号が供給される各信号列電極との各交点に配される液晶素子において、前記データ信号により表示又は非表示の状態が選択される。

【0005】双方のドライバ12、13には、液晶素子に所定の実効値電圧を供給するのに必要な基準電圧が基準電圧発生回路14から供給されており、この基準電圧発生回路14には、ロジック用電源（+5V）及び駆動用電源（-24V）から成る電源が供給されている。

【0006】コモンドライバ12及びセグメントドライバ13には、基準電圧発生回路14を含む基準電圧供給回路から夫々図示の如く4種類の電圧値 V_0 、 V_1 （ V_2 ）、 V_4 （ V_3 ）、 V_5 から成る各基準電圧（括弧内はセグメントドライバの場合）が供給されており、前記の如く、表示及び非表示の各液晶素子間において表示コントラストが最大となるように、各基準電圧の夫々の電圧値が定められている。

【0007】図5は上記液晶表示装置における基準電圧供給回路の回路構成を示している。同図において、基準電圧発生回路14は、その出力である6種類の電圧値 $V_0 \sim V_5$ から成る基準電圧を、供給される電源+5V及び-24Vの間に配される抵抗 $R_1 \sim R_5$ の分圧回路によって得ており、その内基準電圧 $V_1 \sim V_4$ は、そのライン電流によって電圧値が影響されないように、夫々バッファアンプAMP1～AMP4を介して出力されている。

【0008】基準電圧 V_1 及び V_4 の各供給ラインL1、L4には、夫々バッファアンプAMP1、AMP4を介して補正電圧が入力されている。この補正電圧は、液晶素子で発生する尖頭パルスから成る歪波を吸収するものであり、液晶素子に歪波が発生するタイミングで発生し、歪波と逆極性で大きさが同じ尖頭パルスの電圧としてある。この補正電圧によって、コモンドライバ12に与える基準電圧 V_1 及び V_4 を制御し、液晶素子における前記歪波を補償することで輝度の揺動を防止している。

【0009】図5に示したように、輝度調整トランジスタT1は、電流路が回路電源+5V及び-24Vのライン間に抵抗列 $R_1 \sim R_5$ 及びダイオードDと直列回路を成して配され、ベースに入力される輝度調整電圧に従ってそのコレクタ電圧が調節され、その結果、各基準電圧 $V_0 \sim V_5$ の電圧値を全体的に調整することで、液晶表示パネルの輝度調整を行なう。

【0010】ロジック用電源（+5V）ラインと各基準

電圧(V0~V5)供給ラインL0~L5との間に挿入されるキャパシタC1~C6は夫々、液晶素子の駆動に際して各基準電圧供給ラインL0~L5に生ずる電圧揺動を抑えるために配されており、これらはその目的からできるだけCV積の大きなキャパシタが望まれる。

【0011】しかし、CV積の大きなキャパシタはそのコストが高むことから、キャパシタのCV積には限界があることに加え、特に前記補正電圧が印加される基準電圧供給ラインL1、L4については、大きなキャパシタを配するとその容量のために、入力される補正電圧にライン電圧が追従せず、補正電圧による電圧補正効果を減ずることから、これら双方の基準電圧供給ラインL1、L4については、キャパシタC2、C5の容量は逆に小さく選定する必要もある。

【0012】コモンドライバ12及びセグメントドライバ13は夫々、各基準電圧供給ラインL0~L5を介して供給される基準電圧からその都度特定の基準電圧を選択して、出力信号ラインを介して各液晶素子の夫々の電極に逐次伝達しており、その出力段は例えば図8に示した如き回路構成の2組のCMOSトランジスタP1、N1及びP2、N2によって構成されている。同図で括弧外はコモンドライバにおける出力段の出力電圧を、括弧内はセグメントドライバにおける出力段の出力電圧を夫々示している。

【0013】上記構成により、各ドライバ12、13の出力信号ラインには、ゲートの入力信号IN1、IN2の選択を介して、各走査行出力ラインにあっては電圧V0、V1、V4、V5の何れかの電圧が、また、各信号列出力ラインにあっては電圧V0、V2、V3、V5の何れかの電圧が夫々印加され、各液晶素子には良好なコントラストを与える実効値の交流電圧が印加される。

【0014】

【発明が解決しようとする課題】基準電圧発生回路に対して、その電源であるロジック用電源+5V及び駆動用電源-24Vをオン・オフする際には、各ドライバを構成するCMOSトランジスタに障害が生じないように、そのオン・オフ時の順序が定められている。即ち、図6に示すように、まずロジック用電源+5Vの電源が投入されて次に駆動用電源-24Vが投入され、また、駆動用電源-24Vがオフとなって初めてロジック用電源+5Vがオフとされる。なお、このオン・オフにおける時間間隔は最低限0でもよい。

【0015】基準電圧発生回路の出力ラインを成す各基準電圧供給ラインL0~L5は、ロジック電源+5Vの投入及びその後の駆動電源-24Vの投入によって、そのライン電圧が0Vから所定の電圧値の基準電圧に夫々移行するものであるが、その移行スピードは、当該供給ラインに接続されているキャパシタの容量の差等により必ずしも同じではない。

【0016】図7に、上記電源投入時における基準電圧

供給ラインL0~L5の夫々の基準電圧V0~V5への移行の状況を示す。各バッファアンプAMP1~AMP4の出力側に接続される基準電圧供給ラインL1~L4には、この電源投入の際にバッファアンプAMP1~AMP4からスパイク電圧が侵入する。このスパイク電圧は、キャパシタC1~C5によって夫々吸収される。

【0017】しかし、基準電圧供給ラインL1及びL4は夫々、当該基準電圧供給ラインに夫々接続されているキャパシタC2及びC5が他のキャパシタよりも容量が小さく選定されることから、図7に示したように、前記バッファアンプから侵入するスパイク電圧によって電源投入時に大きな負極性の尖頭パルスが生ずる。

【0018】一方、基準電圧供給ラインL5には、図5に示したようにバッファアンプが接続されておらず、前記の如き尖頭パルスが発生しない。このため、電源投入の際に基準電圧供給ラインL5のライン電圧V5が、基準電圧供給ラインL1、L3及びL4のライン電圧V1、V3及びV4よりも高い瞬間があり、このため以下のような障害が生れる。

【0019】図9は、各ドライバの出力段における図8のCMOSトランジスタP1、N1及びP2、N2から成るドライバ部分の断面図である。なお、同図における括弧内外の記号は夫々図8に対応して示した。図9に示したように、トランジスタP1、N1部分及びトランジスタP2、N2部分によって出力Outを共通とする二組のCMOSトランジスタを構成している。この図で示した回路部分において、図10に示した等価回路として表わされる寄生トランジスタを含む回路部が形成される。

【0020】図10において、この等価回路では、前記の如く基準電圧供給ラインL5のライン電圧V5が基準電圧供給ラインL3又はL4のライン電圧V3、V4よりも高い瞬間があると、NPNトランジスタを成す寄生トランジスタQ2にトリガ電流となるベース電流①が流れ、このためこの寄生トランジスタQ2には、ベース電流①の h_{fe} 倍のコレクタ電流②が流れる。

【0021】更にこの電流②による抵抗R11における電圧降下のため、PNPトランジスタを成す別の寄生トランジスタQ1のベース電位が降下し、この寄生トランジスタQ1が導通することとなり、寄生トランジスタQ1のコレクタ電位がほぼV2となる。

【0022】その後、基準電圧供給ラインL5のライン電圧V5が下がっても、前記の如く寄生トランジスタQ1のベース電位がほぼV2となっているので双方の寄生トランジスタQ1、Q2の導通は停止せず、基準電圧供給ラインから過大な電流が流れる、いわゆるCMOSトランジスタのラッチアップという事態が生ずる。

【0023】前記の如くCMOSトランジスタにラッチアップが生ずる場合には、各ドライバの出力段のトランジスタに焼損等の重大な障害が生ずることとなるが、従

来、液晶表示装置の液晶素子の駆動回路において発生するかかるラッチアップによって生ずる障害に着目される例はなかった。

【0024】本発明は、従来の液晶表示装置及びその液晶駆動回路のための基準電圧供給回路にあって、各液晶駆動回路の出力段を成すCMOSトランジスタに生ずるラッチアップを防止して、双方の液晶駆動回路に焼損等が生じ難い液晶表示装置及びそのための基準電圧供給回路を提供することを目的とする。

【0025】

【課題を解決するための手段】図1は、本発明の一実施例の液晶表示装置のブロック図である。同図において、11は液晶表示パネル、12及び13は液晶駆動回路（ドライバ）、14は基準電圧発生回路、L0～L5は基準電圧供給ライン、15及び16は夫々電圧反転防止回路である。

【0026】前記目的を達成するため、本発明の液晶表示装置は、図1に示したように、液晶素子から成る液晶表示パネル（11）と、CMOSトランジスタから構成され前記液晶素子を駆動する液晶駆動回路（12、13）と、該液晶駆動回路（12、13）に対し複数の電圧から成る基準電圧を夫々供給する基準電圧供給ライン（L0～L5）とを有する液晶表示装置において、前記基準電圧供給ライン（L3、L4、L5）相互間に前記基準電圧の大きさの順序が反転することを防止する少なくとも一つの電圧反転防止回路（15、16）を備えたことを特徴とするものである。

【0027】図2は本発明の原理図を成す基準電圧供給回路のブロック図である。同図において、1は基準電圧発生回路、2は電圧反転防止回路、L_A、L_Bは夫々基準電圧供給ラインである。

【0028】前記目的を達成するため、本発明の基準電圧供給回路は、図2に示したように、CMOSトランジスタから構成され液晶表示装置の液晶素子を駆動する液晶駆動回路に対し、複数の電圧から成る基準電圧を基準電圧供給ライン（L_A、L_B）を介して供給する基準電圧供給回路において、前記基準電圧供給ライン（L_A、L_B）相互間に、前記基準電圧の大きさの順序が反転することを防止する少なくとも一つの電圧反転防止回路（2）を備えたことを特徴とする。

【0029】

【作用】基準電圧供給ライン相互間に電圧反転防止回路を備えたことにより、各基準電圧供給ラインにおける電圧の大きさの相互関係が維持されるため、基準電圧供給ラインから夫々基準電圧の供給を受ける各液晶駆動回路におけるCMOSトランジスタ部分に寄生的に形成されるトランジスタにおいて生ずるラッチアップを防止することができ、ラッチアップによって液晶駆動回路に生ずる焼損等を防止する。

【0030】

【実施例】図面を参照して本発明を更に説明する。図1に示した実施例の液晶表示装置における基準電圧供給回路は、電圧反転防止回路15、16が夫々基準電圧供給ラインL3とL5との間及びL4とL5との間に挿入されていることを除けば、図4を参照して既に説明した従来の液晶表示装置の基準電圧供給回路と同様な構成を有している。

【0031】図1において、制御信号は、一画面分の表示を制御するフレーム信号、表示データ信号のラッチのタイミングを制御するデータラッチ信号及び一行分の表示タイミングを制御するロード信号から構成されている。液晶表示装置は、この制御信号、セグメントドライバ13に入力される表示データ信号及び基準電圧発生回路14で生成される基準電圧によって駆動される。

【0032】電圧反転防止回路15、16は、前記の如く基準電圧発生回路14の出力ラインを成す基準電圧供給ラインの相互間に挿入され、好適にはダイオードによって構成されており、基準電圧V3、V4と基準電圧V5との高低の順序関係が反転しないように作用する。

【0033】なお、基準電圧の高低における順序関係の反転防止は、基準電圧供給ラインから電圧供給を受ける液晶駆動回路において、CMOSトランジスタのラッチアップが防止されることで足りることから、電圧反転防止回路によって行なわれる作用により、たとえ基準電圧の高低における順序関係で反転が生じても、その反転が僅かな電圧差に過ぎないためラッチアップを防止できる場合には、電圧反転防止回路の役目を十分に果たすことから、本発明の電圧反転防止回路と呼ぶことができる。

【0034】図3は図1の液晶表示装置の駆動回路のための本発明の一実施例に係る基準電圧供給回路の詳細を示す回路図である。図3において、この液晶表示装置の駆動回路のための基準電圧供給回路では、基準電圧供給ラインL3とL5との間及びL4とL5との間に夫々、電圧反転防止回路を成すショットキーダイオードD1、D2が挿入されている。双方のダイオードD1、D2は、その極性が基準電圧供給ラインL5側にアノードが、基準電圧供給ラインL3及びL4側にカソードが接続される極性である。

【0035】ショットキーダイオードD1、D2は夫々、通電電流が1Aのときに順方向電圧が約0.5V程度のものを採用している。この順方向電圧値を採用すると、基準電圧供給ラインL5とL3及びL4との間の逆転電圧を、CMOSトランジスタのラッチアップ発生電圧以下に抑えることができるので好適である。

【0036】なお、上記実施例では液晶表示パネルがマトリックス電極構成を有するものとして説明したが、本発明の液晶表示装置における液晶表示パネルは、これに限定される者ではなく、セグメント電極構成を有するものでも良い。

【0037】

【発明の効果】以上説明したように、本発明の液晶表示装置及びその駆動回路のための基準電圧供給回路によると、液晶表示パネルの液晶素子の駆動回路のCMOSトランジスタ部に生ずるラッチアップを防止することができ、ラッチアップによる駆動回路の焼損等のおそれがないため、液晶表示装置の信頼性が向上するという顕著な効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例の液晶表示装置のブロック図である。

【図2】本発明の原理図を成す基準電圧供給回路のブロック図である。

【図3】図1の実施例の液晶表示装置における液晶駆動回路のための基準電圧供給回路の回路図である。

【図4】従来の液晶表示装置のブロック図である。

【図5】従来の液晶表示装置の液晶駆動回路のための基準電圧供給回路の回路図である。

【図6】基準電圧供給回路における電源オン・オフ時の

シーケンスである。

【図7】従来の基準電圧供給回路における電源投入時の基準電圧供給ラインにおける電圧変化を示すグラフである。

【図8】駆動回路の一つの出力段の回路図である。

【図9】図8の回路を構成する駆動回路部分の断面図である。

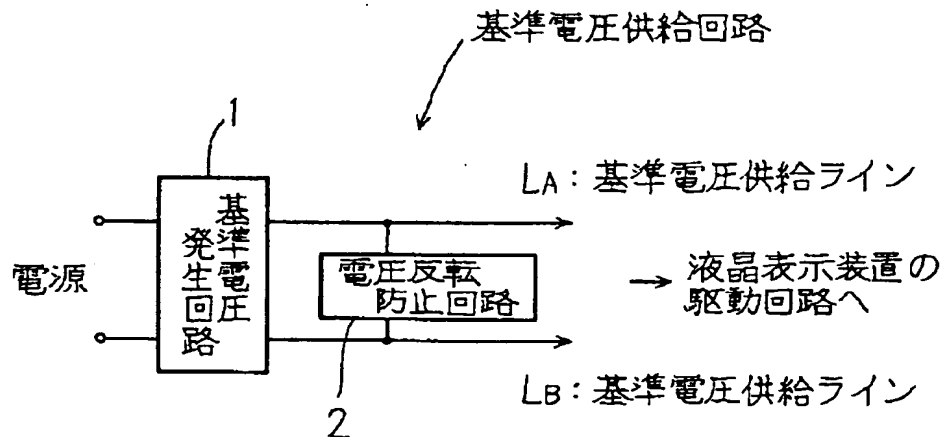
【図10】図9の断面部分に形成される寄生トランジスタで構成される回路におけるラッチアップの説明図である。

【符号の説明】

- 1、14：基準電圧発生回路
- 2、15、16：電圧反転防止回路
- 11：液晶表示パネル
- 12：コモンドライバ（駆動回路）
- 13：セグメントドライバ（駆動回路）
- L0～L5：基準電圧供給ライン

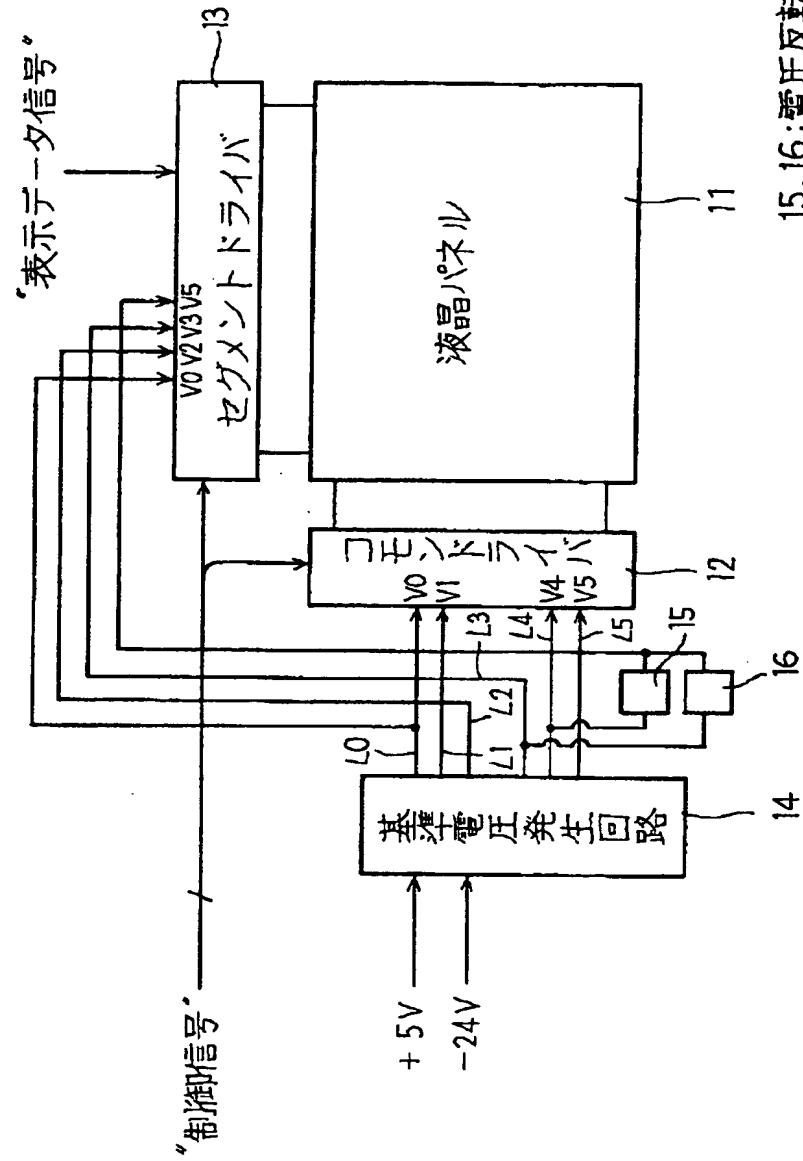
【図2】

本発明の原理図を成す基準電圧供給回路のブロック図



【図1】

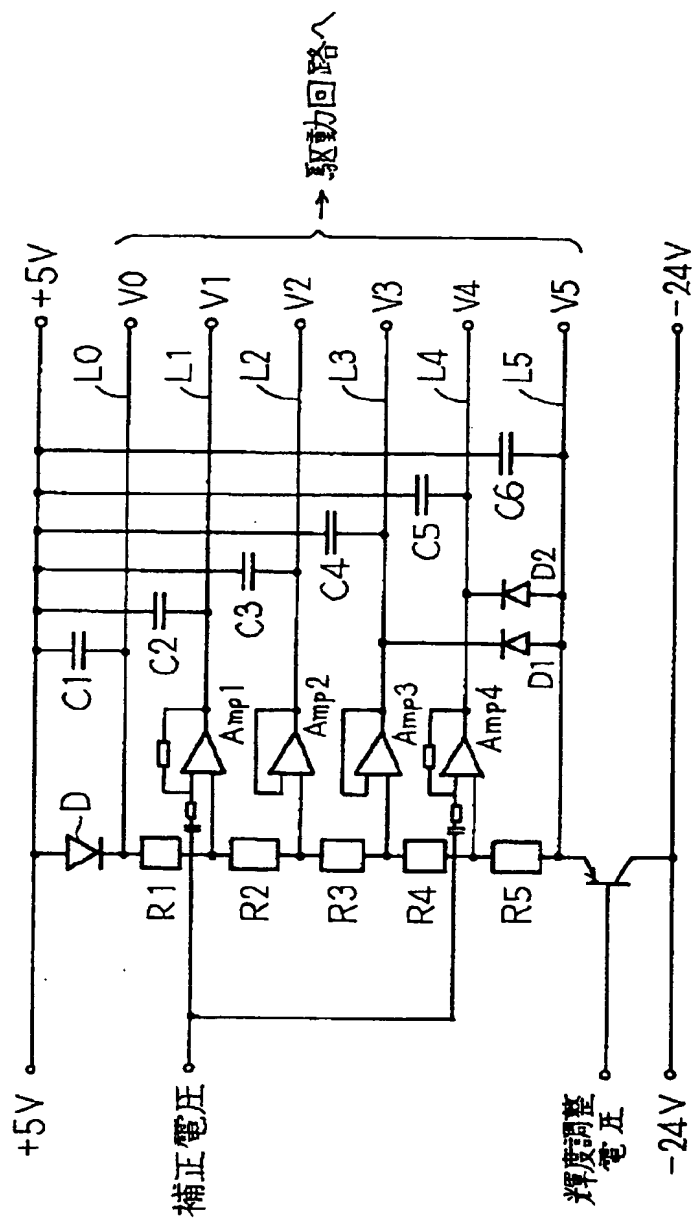
本発明の一実施例の液晶表示装置のブロック図



15, 16: 電圧反転防止回路

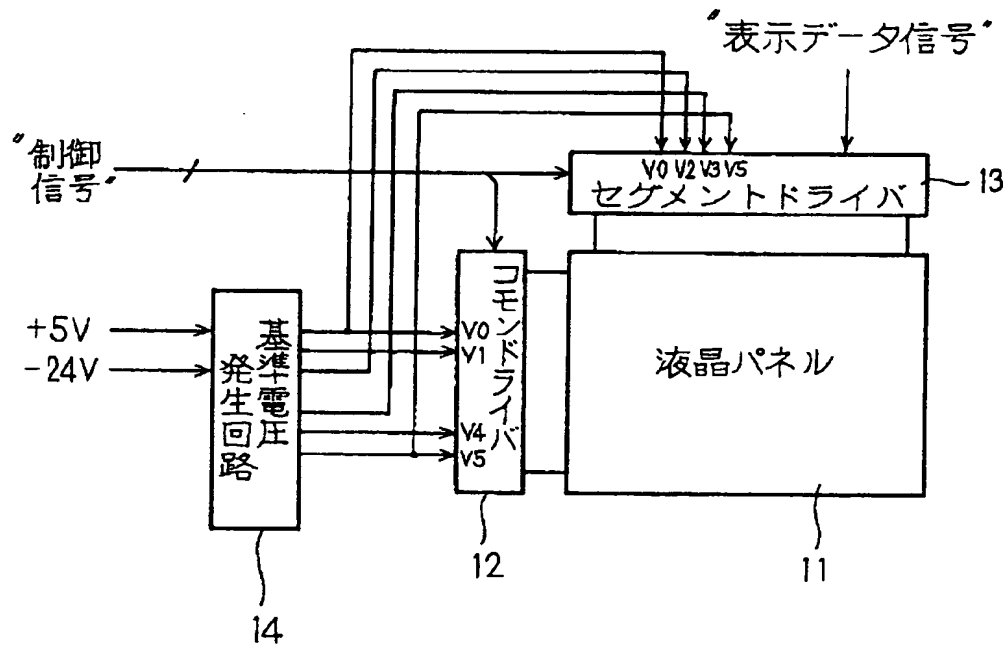
【図3】

図1の実施例の液晶表示装置における液晶駆動回路のための
基準電圧供給回路の回路図



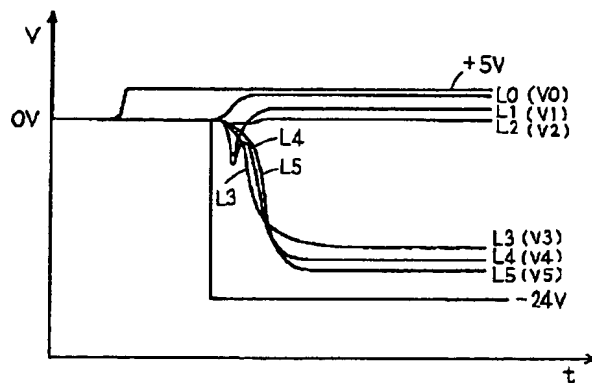
【図4】

従来の液晶表示装置のブロック図



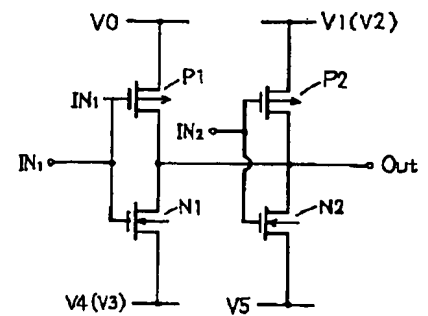
【図7】

従来の基準電圧供給回路における電源投入時の基準電圧供給ラインにおける電圧変化を示すグラフ



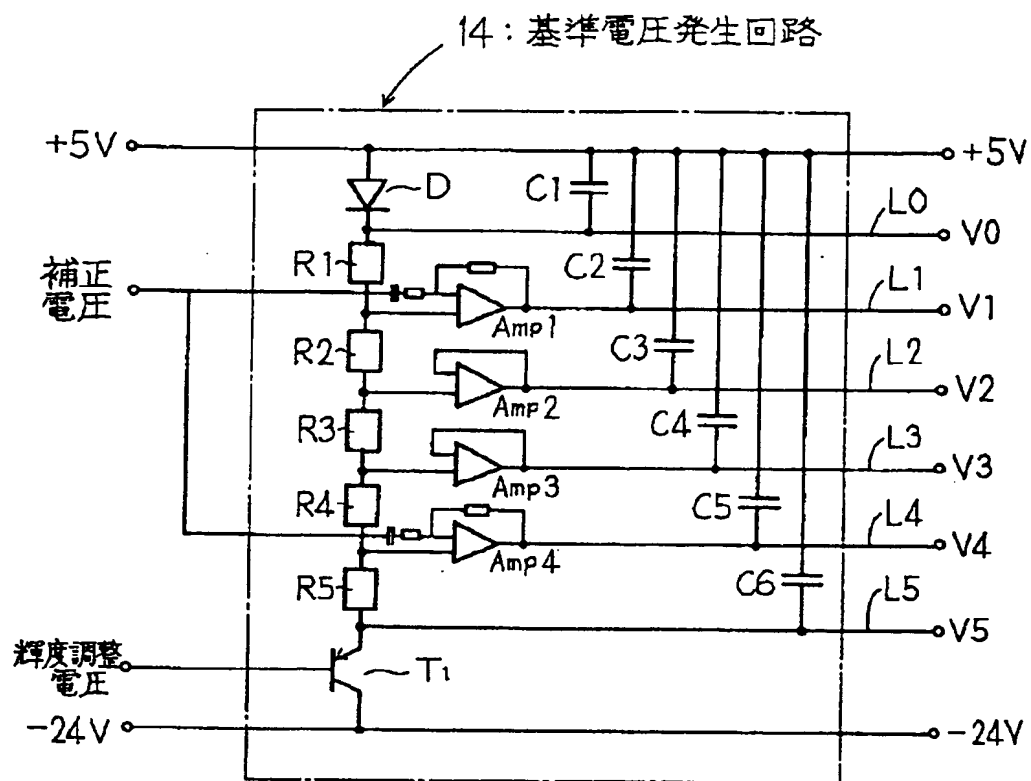
【図8】

駆動回路の一つの出力段の回路図



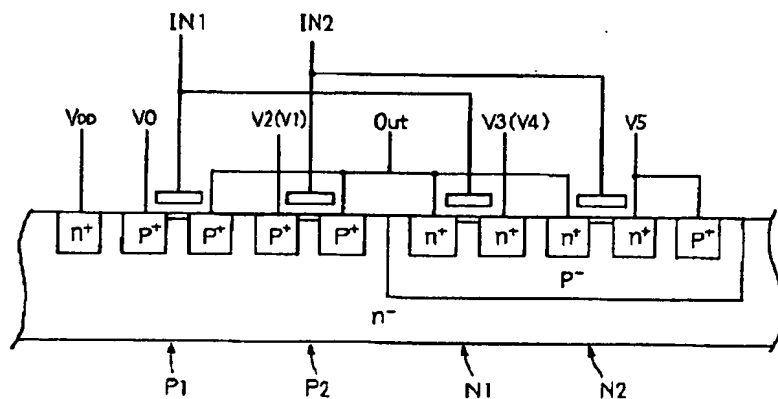
【図5】

従来の液晶表示装置の液晶駆動回路のための
基準電圧供給回路の回路図



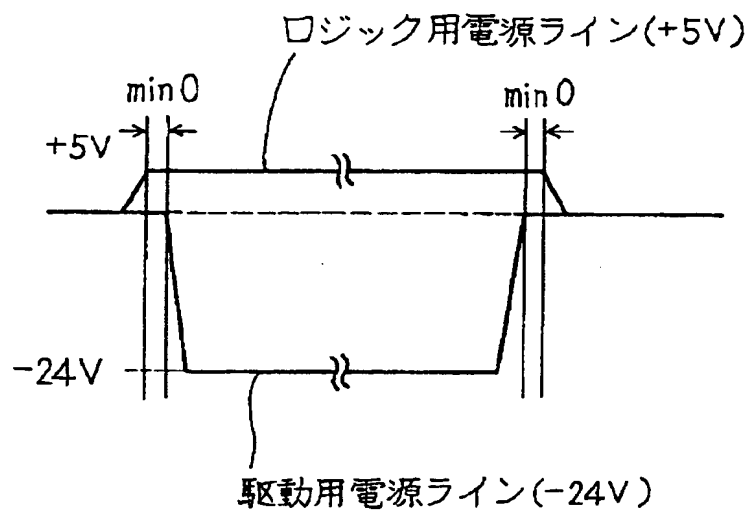
【図9】

図8の回路を構成する駆動回路部分の断面図



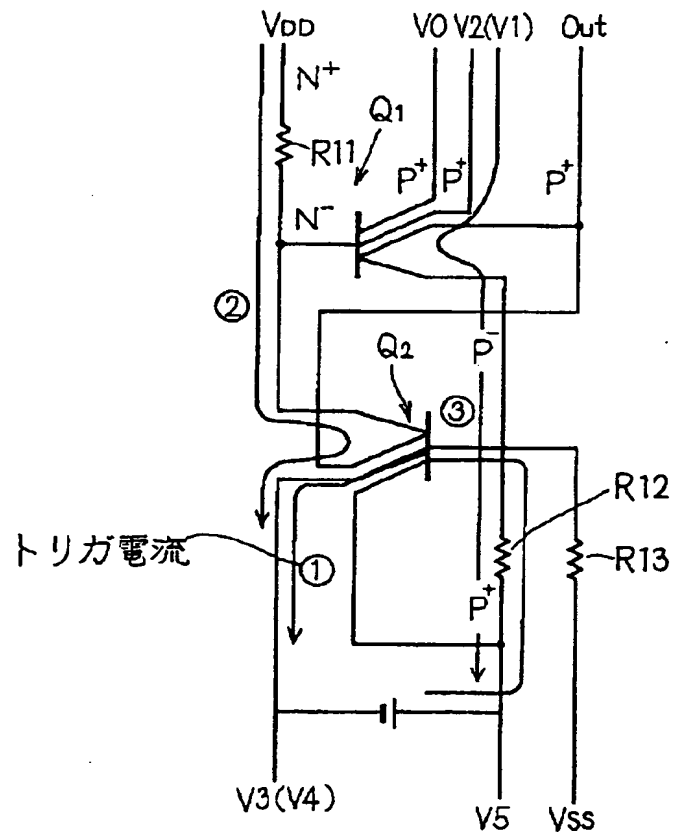
【図6】

電源供給回路における電源オン・オフ時のシーケンス



【図10】

図9の断面部分に形成される寄生トランジスタで構成される回路の説明図



フロントページの続き

(51) Int. Cl.⁵

H01L 29/784

識別記号

庁内整理番号

FI

技術表示箇所

(72) 発明者 助則 英智

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内